

**SOLID STATE IMAGE PICKUP DEVICE**

**Publication Number:** 10-163466 (JP 10163466 A) , June 19, 1998

**Inventors:**

- MURAKAMI SHINICHI

**Applicants**

- NEC CORP (A Japanese Company or Corporation), JP (Japan)

**Application Number:** 08-319471 (JP 96319471) , November 29, 1996

**International Class (IPC Edition 6):**

- H01L-027/148
- H04N-005/335

**JAPIO Class:**

- 42.2 (ELECTRONICS--- Solid State Components)
- 44.6 (COMMUNICATION--- Television)

**JAPIO Keywords:**

- R098 (ELECTRONIC MATERIALS--- Charge Transfer Elements, CCD & BBD)

**Abstract:**

**PROBLEM TO BE SOLVED:** To give some allowance for voltage setting of a substrate at incorporation into a system by lightening the dependency upon the substrate voltage of the output signal level of a solid state image pickup device.

**SOLUTION:** A solid state image pickup device equipped with light receiving regions 11 arranged in matrix form and vertical transfer parts 15 consisting of second p-type wells 13 and n-type layers 12 arranged in the horizontal transfer direction of these light receiving regions 11 have a p-type semiconductor layer 13a between the light receiving regions 11 adjoining each other in vertical transfer direction. This p-type semiconductor layer 13a narrows the low- concentration region right under the light receiving region 11, restrains the charge accumulated in the light receiving region 11 from being swept out to the side of the substrate, lessens the change of the output signal level of the solid state image pickup device to the change of the voltage applied to the semiconductor substrate, and gives some allowance for setting of substrate voltage.

**JAPIO**

© 2005 Japan Patent Information Organization. All rights reserved.

Dialog® File Number 347 Accession Number 5880366

(19) 日本国特許庁(JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10-163466

(43) 公開日 平成10年(1998)6月19日

(51) Int. Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 27/148

H 0 1 L 27/14

B

H 0 4 N 5/335

H 0 4 N 5/335

F

審査請求 有 請求項の数 5 O L

(全 7 頁)

(21) 出願番号 特願平8-319471

(22) 出願日 平成8年(1996)11月29日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 村上 真一

東京都港区芝五丁目7番1号 日本電気株式  
会社内

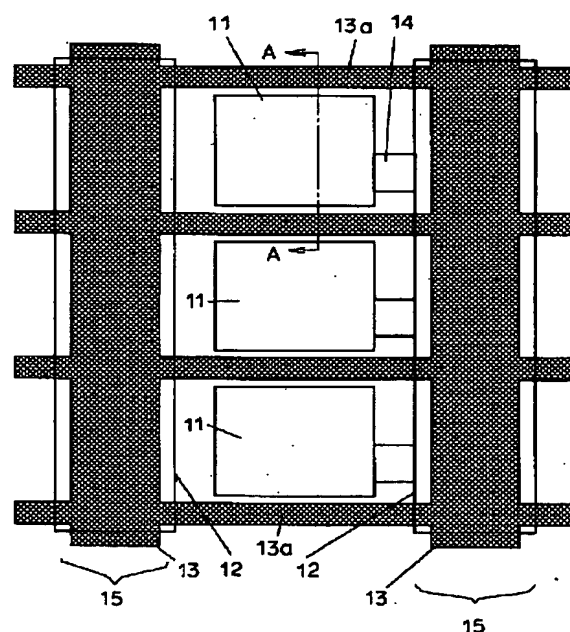
(74) 代理人 弁理士 鈴木 章夫

(54) 【発明の名称】 固体撮像素子

(57) 【要約】

【課題】 固体撮像素子の出力信号レベルの基板電圧依存性を緩和し、システム組み込み時の基板電圧設定に余裕を持たせる。

【解決手段】 マトリクス状に配置された受光領域 11 と、これら受光領域 11 の水平転送方向の間に配設された第 2 の P 型ウェル 13 と N 型層 12 からなる垂直転送部 15 とを備える固体撮像素子において、垂直転送方向に隣接する受光領域 11 の間に P 型半導体層 13 a を有する。この P 型半導体層 13 a により受光領域 11 の直下の低濃度 P 型領域を狭め、受光領域 11 に蓄積している電荷が基板側へ掃き出されることを抑制し、半導体基板に印加する電圧の変化に対する固体撮像素子の出力信号レベルの変化を小さくし、基板電圧の設定に余裕を持たせる。



11 : 受光領域

14 : 電荷読み出し部

12 : N型層

15 : 垂直転送部

13, 13a : 第2のP型ウェル

## 【特許請求の範囲】

【請求項 1】 一導電型の半導体層上に反対導電型の受光領域がマトリクス状に配置され、これら受光領域に蓄積される電荷を垂直転送方向に転送する垂直転送部が前記各受光領域の水平転送方向の間に配設されてなる固体撮像素子において、前記受光領域の垂直転送方向の両側に一導電型の半導体層が形成されていることを特徴とする固体撮像素子。

【請求項 2】 反対導電型の半導体基板上に形成された第 1 の一導電型ウェルと、前記第 1 の一導電型のウェル上にマトリクス状に配置された反対導電型の受光領域と、前記第 1 の一導電型ウェル上に電荷の垂直転送方向に延在するように形成された第 2 の一導電型ウェルと、前記第 2 の一導電型ウェル上に垂直転送方向に延在するように形成されて前記第 2 の一導電型ウェルとで垂直転送部を構成する反対導電型層と、前記第 1 の一導電型ウェル上に形成されて垂直転送方向に隣接する前記受光領域の間に形成された一導電型半導体層とを備える請求項 1 の固体撮像素子。

【請求項 3】 前記一導電型の半導体層は、受光領域の直下の一部にまで拡散されてなる請求項 1 または 2 の固体撮像素子。

【請求項 4】 前記垂直転送部を形成する前記第 2 の一導電型ウェルと、前記受光領域の垂直転送方向に隣接する前記一導電型半導体層とが分離されてなる請求項 2 または 3 の固体撮像素子。

【請求項 5】 第 2 の一導電型ウェルは水平転送方向に前記受光領域の直下一部にまで延長されてなる請求項 2 ないし 4 のいずれかの固体撮像素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は固体撮像素子に関し、特にその構造に関する。

## 【0002】

【従来の技術】近年の CCD (Charge Coupled Device) 型固体撮像素子は主に縦型オーバーロードレイン

(以下、VODと記す) 構造を採用している。この VOD 構造は受光領域で発生した余剰電荷を基板内部方向に掃き出すような構造になっており、素子の平面方向に掃き出し用のドレインを設ける必要がなく、素子の寸法を抑えられるので、固体撮像素子の構造の主流となっている。図 5 は従来の VOD 構造の固体撮像素子の平面レイアウト図、図 6 はその BB 線に沿う受光領域部分の断面図である。N 型の半導体基板 16 上に第 1 の P 型ウェル 17 が形成され、その主面に N 型の受光領域 11 が形成されている。この受光領域 11 に隣接するようにして第 1 の P 型ウェル 17 よりも高濃度の第 2 の P 型ウェル 13 とその上に形成された N 型層 12 からなる垂直転送部 15 が設けられており、受光領域 11 で発生した電荷は、N 型の電荷読み出し部 14 を通して垂直転送部 15

へ読み出されるようになっている。

【0003】ここで、受光領域 11 で発生した電荷は光照射時間と共に受光領域に蓄積されてゆくが、蓄積電荷量が受光領域の電荷蓄積容量を越えると、その余剰電荷は隣接する垂直転送部 15 や受光領域 11 へ漏れ込み、ブルーミング現象が発生する。これを抑制するために、N 型半導体基板 16 に正の電圧を印加し第 1 の P 型ウェル 17 のポテンシャル障壁を下げることにより余剰電荷を N 型基板 16 側へ掃き出している。また、N 型半導体基板 16 への印加電圧を高くすると受光領域 11 の電荷蓄積容量が減少してゆき、ある基板電圧で受光領域の電荷蓄積容量は 0 になる。図 7 は受光領域 11 の電荷蓄積量の基板電圧への依存特性を示したものである。また余剰電荷を掃き出すために N 型半導体基板 16 へ印加する電圧は、受光領域 11 の直下の P 型ウェル 17 の P 型不純物の濃度によって変化する。P 型不純物濃度が高くなれば、P 型ウェル 17 によるポテンシャル障壁が大きくなるので、その障壁を下げるために N 型半導体基板 16 へ印加する電圧は高くなる。よって、第 1 の P 型ウェルの不純物濃度を高くすると、受光領域直下の P 型不純物濃度が一樣に高くなり、図 8 で示すように P 型ウェル 17 のポテンシャル障壁が高くなるので、受光領域 11 に蓄積された電荷が一樣に基板側に掃き出され難くなり、受光領域の電荷蓄積量の基板電圧依存特性は基板電圧が高い方向へ様にシフトする。

【0004】一方、第 2 の P 型ウェル 13 は、受光領域 11 の深部で光電変換して発生した電荷が受光領域 11 に蓄積されずに垂直転送部 15 へ漏れ込む現象、いわゆるスミアを防止するために、垂直転送部 15 の直下の P 型不純物濃度が第 1 の P 型ウェル 17 より高くなるように垂直転送部 15 の直下に形成されているが、そのイオン注入工程以降の熱処理により、実際にはマスクのパターンより受光領域 11 の水平転送方向両側から受光領域 11 の直下へ向かって P 型不純物が拡散され、P 型不純物濃度は受光領域直下の中央が低く、水平方向両端が実効的に高くなる。したがって、受光領域 11 の電荷蓄積容量の基板電圧依存特性も、第 2 の P 型ウェル 13 の不純物の拡散状態により影響を受けることになる。

## 【0005】

【発明が解決しようとする課題】このような、従来の固体撮像素子を特に業務用等の高性能カメラに用いた場合、感度等の特性を確保するために、1 画素の寸法をある程度の大きさ以上確保しておく必要があり、その場合、受光領域の拡大により水平転送方向の画素ピッチも広がってゆく。一方、固体撮像素子の水平転送方向の画素ピッチが広がると受光領域 11 の直下の中央の P 型不純物濃度の低い領域 17 a の面積が大きくなる。この領域 17 a の面積が大きいくほど受光領域 11 の P 型ウェルのポテンシャル障壁の低い領域が大きくなるので受光領域 11 に蓄積している電荷量が基板 16 側へ掃き出

され易くなり、基板電圧に対する受光領域の蓄積電荷量の変化量が大きくなる。この基板電圧に対する蓄積電荷の変化量が大きすぎると、この固体撮像素子をカメラ等のセットに組み込んだ場合に基板電圧の設定範囲が狭くなり余裕がなくなるという問題がある。また、セットの電源電圧の変動等による基板電圧の変動に対しても余裕がなくなってしまう。

【0006】ここで、第1のP型ウェル17の不純物濃度を高くして蓄積電荷を基板側へ掃き出し難くする方法も考えられるが、前述したように受光領域11の中央のP型不純物濃度の低い領域17aのポテンシャル障壁が受光領域周辺部と同時に高くなるため、蓄積電荷量の基板電圧特性は一律に高電圧方側へシフトするだけで、基板電圧に対する出力信号の変化量は小さくならない。

【0007】本発明の目的は、出力信号レベルの基板電圧依存性を緩和し、システム組み込み時の基板電圧の余裕を大きくすることを可能にした固体撮像素子を提供することにある。

【0008】

【課題を解決するための手段】本発明は、一導電型の半導体層上に反対導電型の受光領域がマトリクス状に配置され、これら受光領域に蓄積される電荷を垂直転送方向に転送する垂直転送部が前記各受光領域の水平転送方向の間に配設されてなる固体撮像素子において、前記受光領域の垂直転送方向の両側に一導電型の半導体層が形成されていることを特徴とする。例えば、反対導電型の半導体基板上に形成された第1の一導電型ウェルと、前記第1の一導電型のウェル上にマトリクス状に配置された反対導電型の受光領域と、前記第1の一導電型ウェル上に電荷の垂直転送方向に延在するように形成された第2の一導電型ウェルと、前記第2の一導電型ウェル上に垂直転送方向に延在するように形成されて前記第2の一導電型ウェルとで垂直転送部を構成する反対導電型層と、前記第1の一導電型ウェル上に形成されて垂直転送方向に隣接する前記受光領域の間に形成された一導電型半導体層とを備える構成とされる。

【0009】ここで、前記一導電型の半導体層は、受光領域の直下の一部にまで拡散された構成とされる。また、垂直転送部を形成する前記第2の一導電型ウェルと、前記受光領域の垂直転送方向に隣接する前記一導電型半導体層とが分離されていることが好ましい。

【0010】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1は本発明の一実施例の固体撮像素子の平面図であり、受光領域11、電荷読み出し部14、垂直転送部15を示す図である。マトリクス状に配置された受光領域11の各垂直転送列に対して、水平転送方向に隣接してN型ウェル12と第2のP型ウェル13からなる垂直転送部15が設けられており、垂直転送方向に隣接した受光領域11の間の素子分離領域の直下

にも、前記第2のP型ウェル13の一部が延長された状態で形成されており、この第2のP型ウェル13aによって受光領域11の水平転送方向の両側の各垂直転送部15を構成している各第2のP型ウェル13をそれぞれ接続するように設けられている。

【0011】図2は図1のAA線、すなわち垂直転送方向に沿う断面図である。なお、水平転送方向に沿う断面図は図6に示した従来構成とほぼ同じである。図2では、N型半導体基板16上に第1のP型ウェル17が形成され、その主面に前記受光領域11が形成され、この受光領域11を垂直転送方向に挟むように第2のP型ウェル13の一部13aを形成した構成を示している。前記したように受光領域11の垂直転送方向の両側に設けられた第2のP型ウェル13aは、熱拡散により実際のマスクパターンより受光領域11下まで広がってきている。これにより受光領域11の垂直転送方向の両端のP型不純物濃度が高くなり、受光領域中央のP型不純物濃度の低い部分17aの面積が狭くなる。よって、受光領域11に蓄積された電荷がN型半導体基板16側へ掃き出し難くなる。

【0012】図3の破線は垂直転送方向に隣接した受光領域11の間にP型ウェル13aを形成したときの、受光領域の蓄積電荷の基板電圧への依存性を示したものである。同じ基板電圧の変化量 $\Delta V_{sub}$ に対して、受光領域の間にP型ウェルを設けたときの受光領域の蓄積電荷の変化量 $\Delta V_{o1}$ が、同図実線のP型ウェルがない場合の蓄積電荷の変化量 $\Delta V_{o2}$ より小さくなる。よって、カメラ等のセットに組み込んだ場合に、基板電圧の設定値に多少のズレが生じても出力信号の変化が小さくなるので、基板電圧範囲に余裕ができ、またセットの電源電圧の変動等による基板電圧の変動に対しても余裕ができる。

【0013】図4は本発明の第2の実施形態の固体撮像素子の平面図である。第1の実施形態で説明したように、垂直転送部15の下に設けられた第2のP型ウェル13には、受光領域11の深部で光電変換が発生し垂直転送部15へ直接流れ込む電荷に対する障壁となり、スミアを抑制する効果があるが、第2のP型ウェル13のパターンがあまり受光領域11へ張り出すと、張り出したP型ウェル13と受光領域11の間で電荷が発生し、垂直転送部15へ漏れ込むため、スミア抑制の効果が低くなる。垂直転送方向に隣接した画素の間は、距離的にあまり余裕がなく、ここに前記したようにP型ウェル13aを設けると、プロセス上の制限から受光領域11に向かって張り出すようになり、このP型ウェル13aが垂直転送部15の第2のP型ウェル13と接続されると、このP型ウェル13aを通してスミア成分の電荷が垂直転送部15へ漏れ込み、スミア特性を劣化させてしまう。

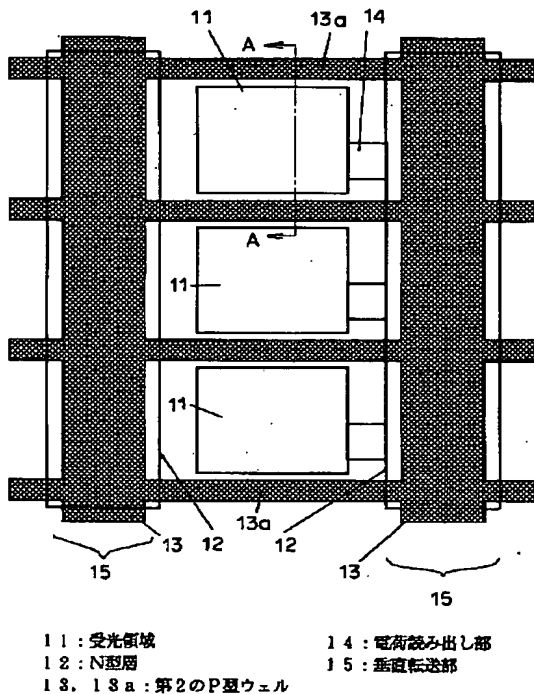
【0014】そこで、この第2の実施形態では、垂直転

送部 15 の第 2 の P 型ウェル 13 のパターンと、垂直転送方向に隣接した受光領域 11 の間に設けた第 2 の P 型ウェル 13 a のパターンが分離されている。このようにすれば、受光領域 11 の間に設けた第 2 の P 型ウェル 13 a が受光領域 11 に張り出してきても、受光領域 11 の間の部分と垂直転送部 15 との間の P 型不純物濃度が低くなるため、スミア成分の電荷が垂直転送部 15 に漏れ込み難くなり、スミア特性の劣化を防止することができる。

#### 【0015】

【発明の効果】以上説明したように、本発明は電荷の垂直転送方向に隣接する受光領域の間に、垂直転送部を構成する一導電型ウェルと同じ導電型の半導体層を設けることにより、1 画素の寸法をある程度の大きさ以上確保した場合でも、受光領域に蓄積している電荷が基板側へ掃き出されることを抑制し、半導体基板に印加する電圧の変化に対する固体撮像素子の出力信号レベルの変化を小さくできるので、この固体撮像素子をカメラ等のセットに組み込むときの基板電圧の設定に余裕を持たせることができる。また、垂直転送部の一導電型ウェルと、垂直転送方向に隣接する受光領域の間に設けた一導電型半導体層を分離することにより受光領域間の一導電型半導体層を通しての垂直転送部へのスミア成分の電荷の漏れ込みを防止できる。

【図 1】



#### 【図面の簡単な説明】

【図 1】 本発明の固体撮像素子の第 1 の実施形態の平面図である。

【図 2】 図 1 の A A 線に沿う断面図である。

【図 3】 受光領域の電荷蓄積量の基板電圧依存性を示す図である。

【図 4】 本発明の固体撮像素子の第 2 の実施形態の平面図である。

【図 5】 従来の固体撮像素子の一例の平面図である。

10 【図 6】 図 5 の B B 線に沿う断面図である。

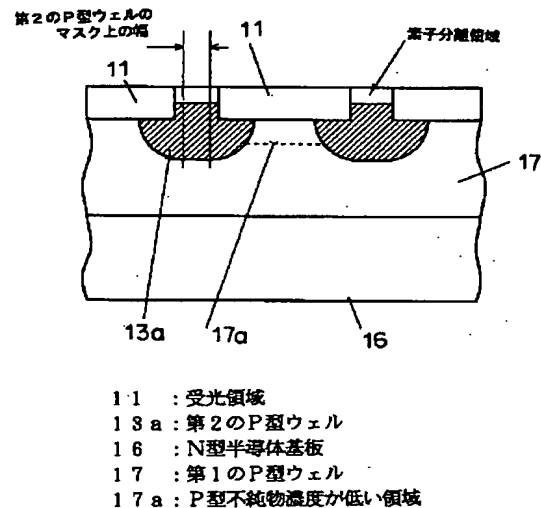
【図 7】 受光領域の電荷蓄積量の基板電圧依存性を示す図である。

【図 8】 VOD 構造固体撮像素子の垂直転送方向のポテンシャル図である。

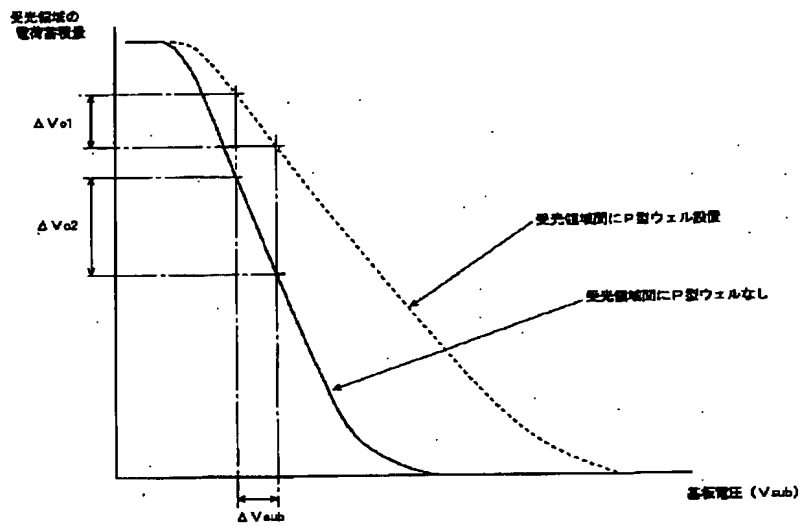
#### 【符号の説明】

- 11 受光領域
- 12 第 1 の N 型層
- 13 第 2 の P 型ウェル
- 13 a 垂直転送方向に配置した第 2 の P 型ウェル
- 14 電荷読み出し部
- 15 垂直転送部
- 16 N 型半導体基板
- 17 第 1 の P 型ウェル

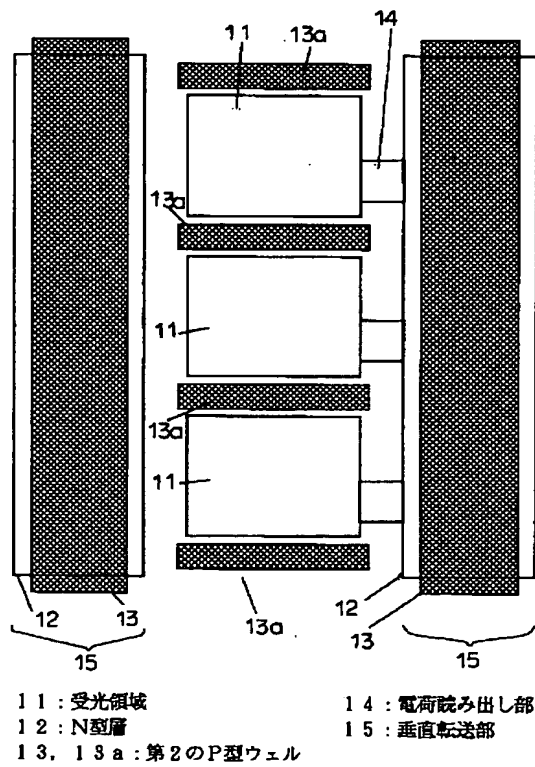
【図 2】



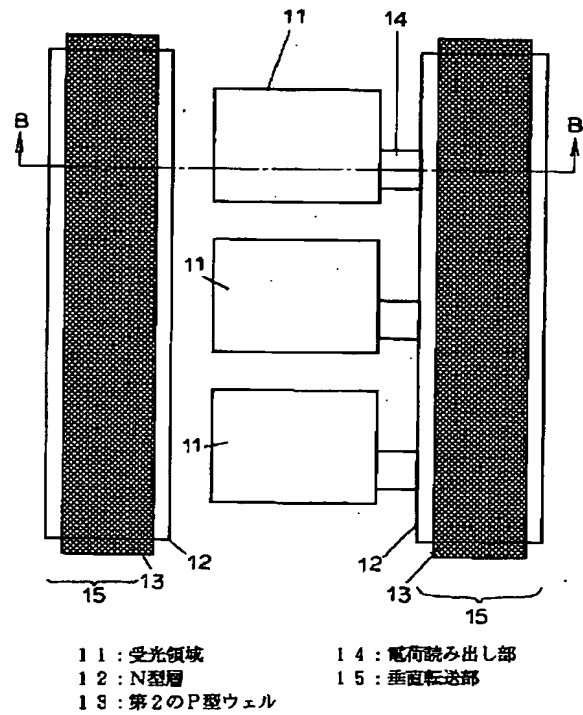
【図3】



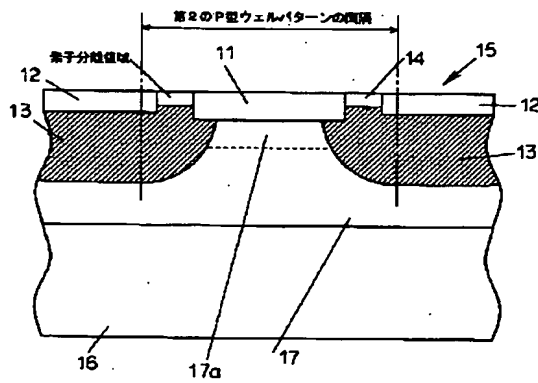
【図4】



【図5】

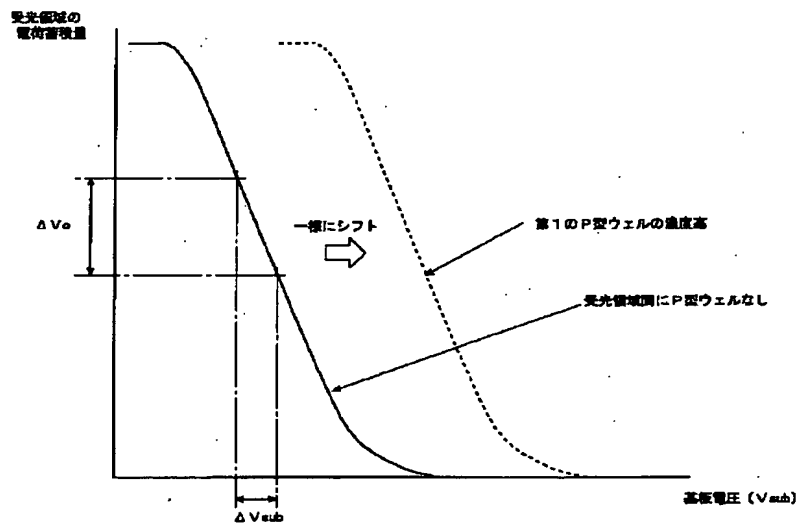


【図6】

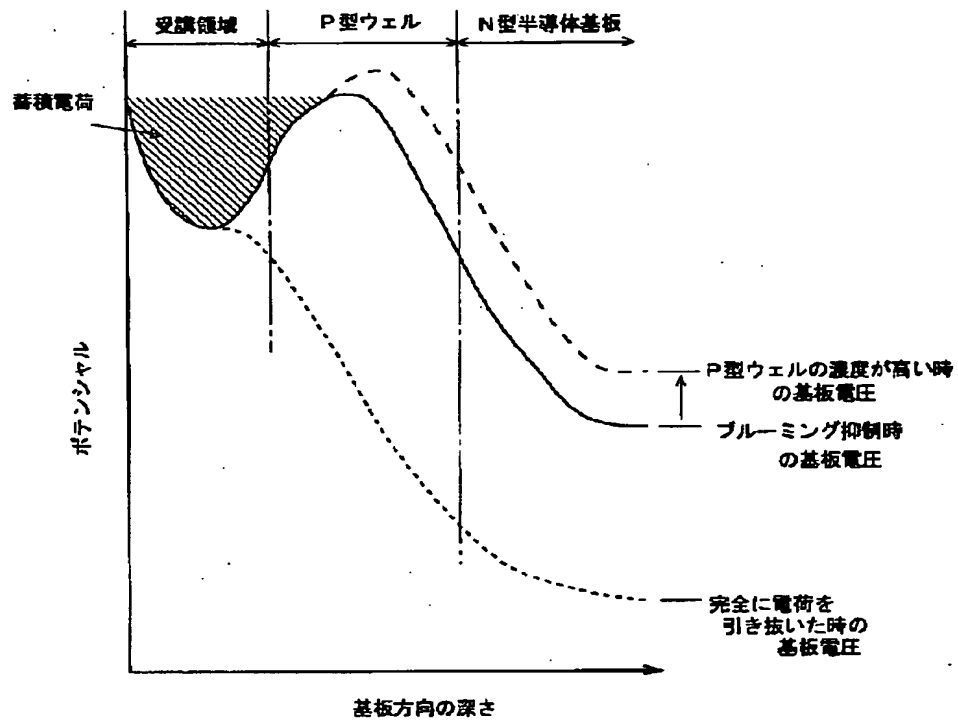


- 11 : 受光領域
- 12 : N型層
- 13 : 第2のP型ウェル
- 14 : 電荷読み出し部
- 15 : 垂直転送部
- 16 : N型半導体基板
- 17 : 第1のP型ウェル
- 17a : P型不純物濃度が低い領域

【図7】



【図8】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINE(S) OR MARK(S) ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**